

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

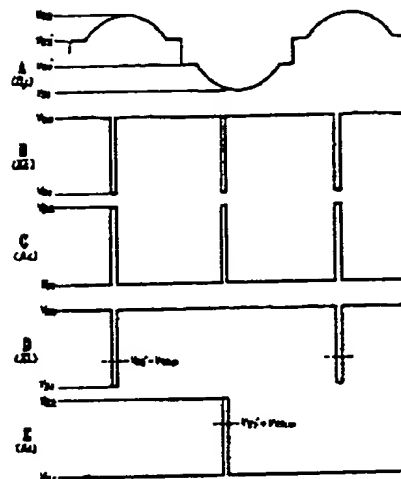
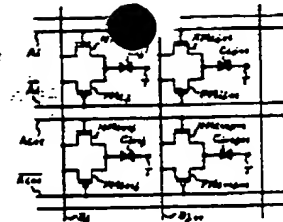
- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Patent Abstracts of Japan

PUBLICATION NUMBER : JP63082177
PUBLICATION DATE : 12-04-88
ABSTRACT PUBLICATION DATE: 29-08-88
ABSTRACT VOLUME : 012318
APPLICATION DATE : 26-09-86
APPLICATION NUMBER : JP860227362
GROUP : E650
APPLICANT : SONY CORP
INVENTOR : MATSUSHITA TAKESHI; others:
01
INT.CL. : H04N5/66
TITLE : DISPLAY DEVICE



ABSTRACT : **PURPOSE:** To prove the reliability of the titled device by using a complementary element so as to form a selecting element thereby decreasing the level of a drive signal for signal selection.
CONSTITUTION: A MOS selection element M_{ij} consists of N-channel elements MM_{ij} and P-channel elements PM_{ij} being complementary elements, and the gates are connected respectively to signal lines A_i and the inverse of A_i . Then a data signal line D_j and one end of a liquid crystal display element C_{ij} are connected between the source and drain of the elements NM_{ij} and PN_{ij} . Moreover, the other end of the liquid crystal element C_{ij} is connected to a common target terminal T . In giving a signal A to the data signal line D_j , a drive signal of opposite polarity is given to the address signal line A_i , inverse of A_i thereby conducting the elements NM_{ij} , PM_{ij} at each pulse period. Thus, the input signal is given to the liquid crystal element C_{ij} through the elements NM_{ij} and PM_{ij} , the element PM_{ij} is conducted sufficiently when the input signal is at a high level and the N-channel element NM_{ij} is conducted sufficiently when the signal is at a low level.

⑨ 日本国特許庁(JP) ⑩ 特許出願公開
 ⑪ 公開特許公報(A) 昭63-82177

⑫ Int. Cl.⁴
 H 04 N 5/66

識別記号
 102

庁内整理番号
 A-7245-5C

⑬ 公開 昭和63年(1988)4月12日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 ディスプレイ装置

⑮ 特 願 昭61-227362

⑯ 出 願 昭61(1986)9月26日

⑰ 発 明 者 松 下 孟 史 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑱ 発 明 者 曾 根 田 光 生 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
 ⑳ 代 理 人 弁理士 伊 藤 貞 外1名

明 細 書

発明の名称 ディスプレイ装置

特許請求の範囲

垂直方向に延長されかつ平行に配設された複数の第1の信号線と、水平方向に延長されかつ平行に配設された複数の第2の信号線とが設けられ、これらの第1、第2の信号線の各交点にそれぞれ選択素子を介して画素電極が設けられてなるディスプレイ装置において、

上記選択素子がそれぞれ1対の相補型の素子で形成されると共に、

これらがそれぞれ逆電性の駆動信号で駆動されるようにしたことを特徴とするディスプレイ装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、例えば液晶表示素子を用いるディスプレイ装置に関する。

〔発明の要旨〕

本発明はディスプレイ装置に関し、相補型の素

子を用いて選択素子を形成することにより、信号選択の駆動信号のレベルを小さくして装置の信頼性を向上させるようにするものである。

〔従来の技術〕

例えば液晶表示素子を用いたアクティブマトリクス型のディスプレイ装置が種々提案されている。すなわち第5図はその一例の要部の構成を示し、例えば画像データ信号が1画素期間ごとに順次供給される水平画素数分のデータ信号線Djと、1水平期間ごとに順次駆動パルス信号が供給される走査線数分のアドレス信号線Aiとが直交して設けられ、これらの各交点にゲートがアドレス信号線Aiに接続されたMOS選択素子Mijが設けられ、データ信号線DjがこのMOS素子Mijのソースドレインを介して液晶表示素子Cijの一端に接続される。なお液晶素子Cijの他端は共通のターゲット端子Tに接続される。

従つてこの装置において、任意のアドレス信号線Aiに駆動(パルス)信号が供給されると、この

(2)

(1)

信号線にゲートの接続された選択素子 M_{ij} が導通され、データ信号線 D_j に順次供給される画像データが順次液晶素子 C_{ij} に供給される。これによつていわゆる面走型された画像データがマトリクス状に配された液晶素子 C_{ij} にて表示される。

ところでこの装置において、例えば液晶表示素子を駆動する場合には、液晶の劣化等を防止する目的でいわゆる交流駆動が行われる。すなわち第6図に示すように、例えば1フィールド毎にデータ信号線 D_j に供給されるデータ信号がターゲット端子 T の電位 V_T に対して反転される。

ところがその場合に、MOS素子 M_{ij} のゲートに供給される駆動信号は、遮断時にデータ信号の最低電位 V_{S1} より低く、導通時にデータ信号の最高電位 V_{S2} からさらに素子のスレショルド電圧 V_{th} 分以上高いレベルが必要とされる。従つてこの駆動信号の振幅は

$$|V_{S2} - V_{S1}| + V_{th}$$

となり、この信号の供給されるMOS素子 M_{ij} のゲート耐圧を極めて大きくする必要があつた。また

(3)

とが設けられ、これらの第1、第2の信号線の各交点にそれぞれ選択素子 M_{ij} を介して画素電極 C_{ij} が設けられてなるディスプレイ装置において、上記選択素子がそれぞれ1対の相補型の素子 N_{Mij} 、 P_{Mij} で形成されると共に、これらがそれぞれ逆極性の駆動信号 (A_i , \bar{A}_i) で駆動されるようにしたことを特徴とするディスプレイ装置である。

〔作用〕

これによれば、相補型の素子を用いて、入力信号の高電位期間と低電位期間とがそれぞれ異なる型の素子を通じて選択されるようにしたことによつて、これらの素子に供給される駆動信号のレベルを入力信号の振幅に等しい大きさまで低減することができる。

〔実施例〕

第1図は配線図を示す。この図において、アドレス信号線 A_i が2本 (A_i , \bar{A}_i) ずつ設けられると共に、MOS選択素子 M_{ij} がN型素子 N_{Mij} とP

(5)

それによつて装置の信頼性が低下されてしまつていた。

さらに大レベルの駆動信号が用いられるためにいわゆるクロックノイズによるラディエーションの増加を生じ易い。

またMOS素子の遮断時のフィードスルーノイズによる信号の保持電位の低下が生じやすいためにダイナミックレンジの低下やそれによる画像のコントラストの不足等のおそれがあつた。

〔発明が解決しようとする問題点〕

以上述べたように従来の技術では、大レベルの駆動信号を用いるために、信頼性の低下やラディエーションの増加、ダイナミックレンジの低下を生じやすいなどの問題点があつた。

〔問題点を解決するための手段〕

本発明は、垂直方向に延長されかつ平行に配設された複数の第1の信号線 D_j と、水平方向に延長されかつ平行に配設された複数の第2の信号線 A_i

(4)

型素子 P_{Mij} との相補型の素子で構成され、これらの素子 N_{Mij} と P_{Mij} のゲートがそれぞれ信号線 A_i と \bar{A}_i とに接続される。そしてこれらの素子 N_{Mij} と P_{Mij} とのソースドレイン間を通じてデータ信号線 D_j と液晶表示素子 C_{ij} の一端とが接続される。さらに液晶素子 C_{ij} の他端は共通のターゲット端子 T に接続される。

そしてこの装置において、データ信号線 D_j に第2図Aに示すような信号が供給されていた場合に、アドレス信号線 A_i , \bar{A}_i には同図B, Cに示すような互いに逆極性の駆動信号を供給して、素子 N_{Mij} と P_{Mij} とがそれぞれのパルス期間に導通されるようにする。

従つてこの装置において、入力信号が各駆動信号のパルス期間に素子 N_{Mij} と P_{Mij} とを通じて液晶素子 C_{ij} に供給されると共に、入力信号の高電位期間にはP型素子 P_{Mij} が充分に導通し、低電位期間にはN型素子 N_{Mij} が充分に導通するので、それぞれの駆動信号の振幅を入力信号の振幅

$$|V_{S2} - V_{S1}|$$

(6)

(2)

なつて

ために
ラダイノイズ
ために
波のこレベルの
ラダイ
低下をに配設
て延長
号線 Aiこれら
号線
ミ子
でデー
タ信号
ミ子Dj に
は適合
に示
、導
導通
、動信
じて
の高
、低
るの
電極

に等しくすることができる。

また上述の装置において、入力信号の高電位期間（フィールド）はP型素子PMij、低電位期間はN型素子NMijのみが導通すればよいので、各アドレス信号線Aiと $\bar{A}i$ の駆動信号は波形図のD,Eに示すようにフィールド毎に交互に供給するようにしてもよい。さらにこの場合に、各駆動信号の波高レベルは図中に示すように、入力信号の高電位期間のベースレベルを V_{S2} 、低電位期間のベースレベルを V_{S1} 、P型素子PMijのスレショルド電圧を V_{thp} 、N型素子NMijのスレショルド電圧を V_{thn} として、それぞれ

$$V_{S2} - V_{thp}$$

$$V_{S1} + V_{thn}$$

とすることもできる。

こうして表示が行われるわけであるが、上述の装置によれば駆動信号のレベルを小さくすることができるので、各選択素子のゲート耐圧を大きくする必要がなく、装置の信頼性が向上する。

またクロックノイズによるラダイニーションの

(7)

つて、上述と同様に漏洩が低減されると共に、特に製造工程中のラビング処理等による静電気の発生に対する強度を向上させることができる。

なお、この装置はポリシリコン、アモルファスシリコン、クリスタルシリコン等の全てのMOS素子を用いた装置に適用できる。

【発明の効果】

この発明によれば、相補型の素子を用いて、入力信号の高電位期間と低電位期間とがそれぞれ異なる型式の素子を通じて選択されるようにしたことによつて、これらの素子に供給される駆動信号のレベルを入力信号の振幅に等しい大きさまで低減することができるようになった。

図面の簡単な説明

第1図は本発明の一例の配線図、第2図～第4図はその説明のための図、第5図、第6図は従来の装置の説明のための図である。

Djはデータ信号線、Aiはアドレス信号線、NMijはN型素子、PMijはP型素子、Cijは液晶

(9)

発生が低減され、特に波形図のB、Cの信号を用いた場合には駆動信号同士が相殺されるので、ラダイニーションを低減することができる。

さらに第3図は具体的な回路パターンの構成例を示し、図においてP型素子PMijとN型素子NMijがそれぞれデータ信号線Djと液晶表示素子Cijを構成する透明電極との間に設けられると共に、これらの素子PMijとNMijの中央部に透明電極の上下に設けられたアドレス信号線Aiと $\bar{A}i$ の延長部がそれぞれ設けられてゲートが形成される。

従つてこの構成によれば、隣接するアドレス信号線間で逆極性の駆動信号が流れるので、各透明電極へのクロックノイズの飛込みが中和され、ダイナミックレソシの低下が防止される。

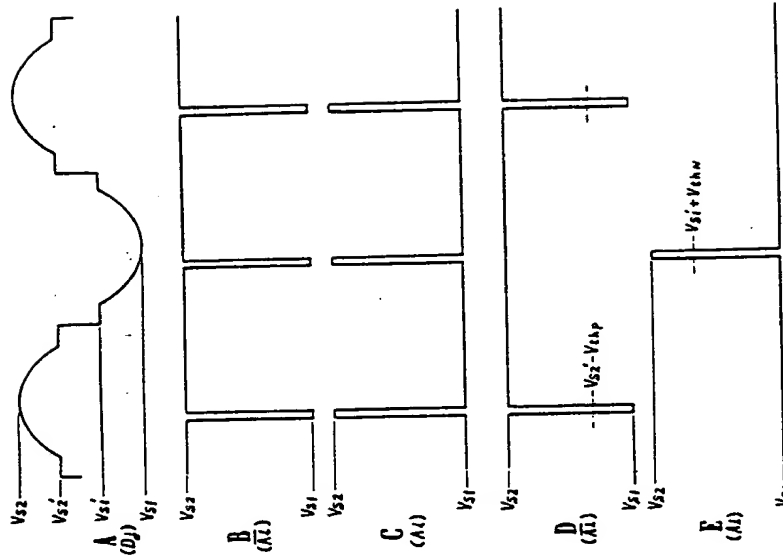
なお第4図は選択素子の構成の他の例を示すものであつて、Aはいわゆるダブルゲートとした場合で、特にデータ信号線Djと液晶表示素子Cij間の電荷の漏洩を低減させることができる。またBはダブルゲートの中点を互に接続したものであ

(8)

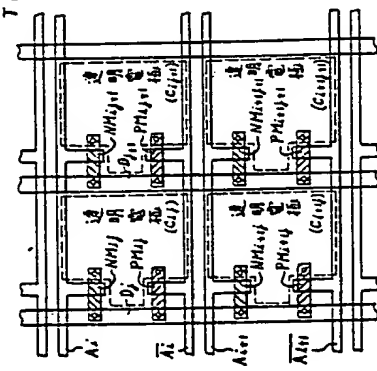
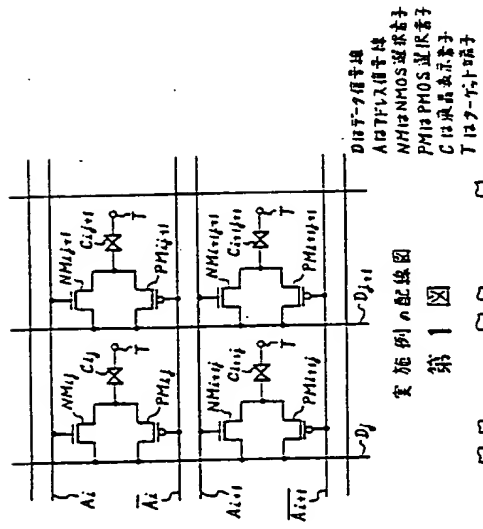
表示素子、Tはターゲット端子である。

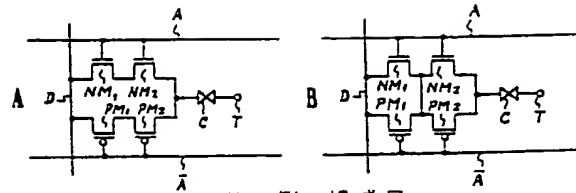
代 理 人 伊 藤 貞
同 松 盛 秀 盛

00

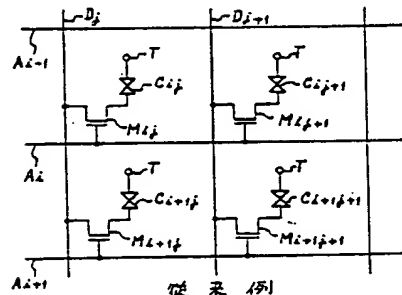


波形図
第2図

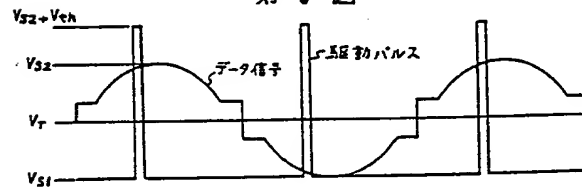




他の例の構成図
第4図



従来例
第5図



波形図
第6図